

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-097699

(43)Date of publication of application : 09.04.1999

(51)Int.Cl.

H01L 29/786
G02F 1/136

(21)Application number : 09-258822

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.09.1997

(72)Inventor : OZEKI SHIGEKI

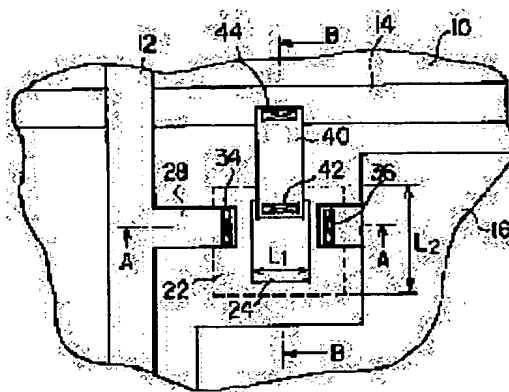
(54) THIN-FILM TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance the performance and reliability by forming a gate electrode, such that the outline thereof is confined within the outline of the upper surface of a channel region and connecting the gate electrode with a gate line through a connection electrode provided on a gate electrode via an insulation film.

SOLUTION: An array substrate constituting a liquid crystal display comprises a signal line 12 and a gate line 14 formed, in a matrix form on an insulating substrate, i.e., a glass substrate 10, and a pixel electrode 16 is provided in a region surrounded by the signal line and the gate line. A TFT which functions as a switching element is provided in the vicinity of the intersection between the signal line 12 and the gate line 14 which are connected with the pixel electrode 16 via the TFT.

According to the arrangement, the breakdown strength of gate insulation film and the threshold voltage are prevented from being lowered which results in a thin-film transistor superior in the electrical characteristics and reliability.



LEGAL STATUS

[Date of request for examination]

21.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semi-conductor layer which has a channel field, and the source field and drain field which were located in the both sides of a channel field, respectively while being prepared on the insulating substrate, It has the gate dielectric film formed on the above-mentioned semi-conductor layer, and the gate electrode which countered the above-mentioned channel field and was formed on gate dielectric film. The above-mentioned gate electrode It is the thin film transistor which the border line is contained inside the border line of the top face of the above-mentioned channel field, and method formation of **** is carried out and is characterized by the above-mentioned gate electrode being connected to a gate line by the connection electrode formed on the gate electrode through the interlayer insulation film.

[Claim 2] The above-mentioned gate electrode is a thin film transistor according to claim 1 characterized by having die length almost equal to the channel length of the above-mentioned channel field, and width of face shorter than the channel width of the above-mentioned channel field.

[Claim 3] It is the thin film transistor according to claim 1 or 2 which is equipped with the source electrode and drain electrode which were connected to the above-mentioned source field and the drain field, respectively, and is characterized by forming the above-mentioned connection electrode of the same electrode formative layer as the above-mentioned source electrode and a drain electrode while being formed on the above-mentioned layer insulation layer.

[Claim 4] For the above-mentioned gate electrode, 3 is [claim 1 characterized by being formed of the same formative layer as the above-mentioned gate line thru/or] a thin film transistor given in the 1st term someday.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a thin film transistor and the thin film transistor of the coplanar mold which uses polycrystalline silicon as a semi-conductor layer especially.

[0002]

[Description of the Prior Art] The MOS mold field-effect transistor (MOSFET) is used for a thin film transistor (Following TFT is called), a semiconductor integrated circuit, etc. which function as a pixel switching element of an active matrix liquid crystal indicating equipment. In TFT, polycrystalline silicon and amorphous silicon are used for a semi-conductor layer in many cases. In almost all cases, in TFT which used polycrystalline silicon for the semi-conductor layer especially, structure is adopted every coplanar structure, i.e., the gate, top according to the necessity of the process of polycrystalline silicon.

[0003] Every gate top, TFT of structure forms a polycrystalline silicon layer on the glass substrate which formed the under coat, etches this polycrystalline silicon layer in the shape of an island, detaches it by the component, and has further the structure which carried out the laminating of gate dielectric film and the gate electrode on the polycrystalline silicon layer.

[0004]

[Problem(s) to be Solved by the Invention] Such every gate top, in TFT of structure, a polycrystalline silicon layer usually serves as trapezoidal shape, and the corner of the polycrystalline silicon layer upper limit side is in the condition of having contacted gate dielectric film. Moreover, electric field concentrate

locally between the channel field corner of a polycrystalline silicon layer, and a gate electrode, and a gate electrode also causes gate-dielectric-film destruction to it, in case the sweep of the electrical potential difference is carried out to the gate electrode from the negative side in order to operate the TFT component of an n channel mold since it is similarly formed so that the corner of the polycrystalline silicon layer upper limit side on a trapezoid may be covered through gate dielectric film (from a forward side to a sweep [If it is the p channel mold TFT]).

[0005] Furthermore, the current which flows between source drain fields will start flowing from the polycrystalline silicon layer upper limit section, and will cause the fall of threshold voltage (V_{th}). These are the big factor of the performance degradation of TFT, and a dependability fall.

[0006] This invention was made in view of the above point, and that purpose is in offering the thin film transistor the engine performance and whose dependability improved.

[0007]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the thin film transistor concerning this invention The semi-conductor layer which has a channel field, and the source field and drain field which were located in the both sides of a channel field,

respectively while being prepared on the insulating substrate, The gate dielectric film formed on the above-mentioned semi-conductor layer, and the gate electrode which countered the above-mentioned channel field and was formed on gate dielectric film, It has the layer insulation layer formed on the above-mentioned gate dielectric film and a gate electrode. The above-mentioned gate electrode The border line is contained inside the border line of the top face of the above-mentioned channel field, method formation of **** of the above-mentioned gate electrode is carried out, and it is characterized by connecting with a gate line through the connection electrode prepared on the gate electrode through the above-mentioned insulator layer.

[0008] Thus, generating of electric-field concentration in a channel field edge can be controlled by arranging a gate electrode inside the profile of a channel field at the time of a TFT drive.

[0009] It becomes possible to obtain TFT which can prevent the gate ***** destruction resulting from electric-field concentration in the semi-conductor layer upper limit section, and the fall of threshold voltage, and is excellent in gate-dielectric-film destructive resistance and by which threshold voltage was often controlled by this.

[0010]

[Embodiment of the Invention] Hereafter,

the thin film transistor concerning this invention is explained to a detail about the gestalt of the operation used for the switching element of a liquid crystal display, referring to a drawing.

[0011] Drawing 1 is what showed some array substrates which constitute a liquid crystal display, this array substrate is equipped with the signal line 12 and the gate line 14 which were formed in the shape of a matrix on the glass substrate 10 as an insulating substrate, and the pixel electrode 16 is formed in the field surrounded by the signal line and the gate line. Moreover, near the intersection of a signal line 12 and the gate line 14, TFT18 which functions as a switching element is formed, and the pixel electrode 16 is connected to the signal line 12 and the gate line 14 through TFT18.

[0012] TFT18 is equipped with the semi-conductor layer 22 prepared on the glass substrate 10 front face through the under coat layer 20 for preventing diffusion of an impurity as shown in drawing 1 and drawing 2. The semi-conductor layer 22 is mostly formed in the shape of a rectangle with polycrystalline silicon. This semi-conductor layer 22 has source field 22b and drain field 22c which were located in channel field 22a and a list at the both sides of a channel field, respectively.

[0013] Gate dielectric film 23 is formed on the semi-conductor layer 22 and the front

face of a glass substrate 10, further, on gate dielectric film 23, it counters with channel field 22a of the semi-conductor layer 22, and the gate electrode 24 is formed. Moreover, the interlayer insulation film 26 is formed in this gate electrode 24 in piles.

[0014] On the interlayer insulation film 26, source field 22b and drain field 22c are countered, respectively, and the source electrode 28 and the drain electrode 30 are formed. And the source electrode 28 and the drain electrode 30 are connected to source field 22b and drain field 22c through contact holes 34 and 36, respectively. Moreover, while the drain electrode 30 is connected to the pixel electrode 16 which consists of ITO formed on the interlayer insulation film 26, the source electrode 22 and the drain electrode 24 are covered, and passivation 32 is formed. In addition, in drawing 1, in order to avoid complication of a drawing, an interlayer insulation film 26 and passivation 32 are omitted and shown.

[0015] As shown in drawing 1 and drawing 3, the gate electrode 24 is formed in the shape of a rectangle, and the area is formed smaller than the area of channel field 22a of the semi-conductor layer 22. Moreover, the gate electrode 24 is formed in width of face shorter than channel width L2 while it has die length almost equal to the channel length L1 of the semi-conductor layer 22. And the gate

electrode 24 is formed so that the border line may be contained inside the border line of channel field 22a, and opposite arrangement is carried out with the semi-conductor layer 22 in the location which does not lap with the upper limit face angle section of region 22a for channels.

[0016] And the gate electrode 24 is connected to the gate line 14 through the connection electrode 40 formed on the interlayer insulation film 26. That is, the end of the connection electrode 40 is connected to the gate electrode 24 through a contact hole 42, and the other end is connected to the gate line 14 through the contact hole 44.

[0017] TFT18 which has the above-mentioned configuration is manufactured according to the following processes. First, on a glass substrate 10, in order to prevent the impurity diffusion from a substrate, the under coat layer 20 is formed. SiO₂ formed by chemistry vapor phase reaction or the sputtering method is used for the under coat layer 20. the under coat layer 20 -- in addition, Si₃N₄ and Si₃ -- the thin film which has the two-layer structure of N₄ and SiO₂ may be used.

[0018] Then, the polycrystalline silicon (polish recon) as a semi-conductor layer 22 is formed on the under coat layer 20. this polish recon film -- for example, a plasma-CVD method and LPCVD -- after forming the amorphous silicon film by the

membrane formation approaches, such as law and the sputtering method, laser annealing is given to this amorphous silicon film, and it forms by carrying out polycrystallization.

[0019] Moreover, as other formation approaches, the approach of forming the direct polish recon film may be used by the approach of forming with solid phase growth from an amorphous silicon (seed), and the plasma-CVD method which made material gas SiH_4 , SiF_4 , H_2 , etc., for example. In addition, as a semi-conductor layer 22, the amorphous silicon film other than the polish recon film may be used. the amorphous silicon film -- for example, a plasma-CVD method and LPCVD -- it forms by the membrane formation approaches, such as law and the sputtering method.

[0020] Next, the formed polish recon film is etched and it is made the shape of an island. Etching is performed by the chemical dry etching (CDE) which used for example, CF_4 and O_2 gas. etching conditions -- O_2/CF_4 flow rate: -- 4 and etching pressure = -- 40 (Pa) and microwave power-source power: -- 800 (W) and substrate temperature: -- it is referred to as 60 (degree C). Of such etching, the include angle of glass substrate 10 front face and the side face of the channel width direction of the semi-conductor layer 22 to make turns into about 30 degrees, and the polish recon film of trapezoidal shape is formed.

[0021] Then, SiO_2 film as gate dielectric film 23 is formed by the plasma-CVD method which makes material gas tetraethyl orthochromatic silicate (TEOS) and O_2 . as the formation approach of gate dielectric film 23 -- in addition, an ordinary pressure CVD method and LPCVD -- other CVD methods, such as law, an ECR plasma-CVD method, and a remote plasma-CVD method, the sputtering method, etc. may be used. SiH_4 and O_2 may be used also as material gas in addition to TEOS- O_2 gas.

[0022] After forming gate ***** 23, you may anneal the membraneous quality of gate dielectric film on 600 degrees C and the conditions of 5 hours in nitrogen-gas-atmosphere mind for the purpose of making it improve further.

[0023] Then, the electrode formative layer for forming the gate electrode 24 and the gate line 14 on gate dielectric film 22 is formed. As the electrode formative layer, low resistance metals, such as a molybdenum-tungsten alloy (Mo-W) and aluminum (Al), the polycrystalline silicon with which the impurity was introduced are used.

[0024] Next, as shown in drawing 4, patterning of the above-mentioned electrode formative layer is carried out, and the gate line 14 and gate electrode 24a are formed. At this time, as for gate electrode 24a, channel die-length L_1 lay length forms the width of face of a channel width L 2-way as channel

length's L1 design value again so that the periphery corner of the semi-conductor layer 22 may be covered. This is because an impurity is not injected into the channel width direction edge of the semi-conductor layer 22 by using gate electrode 24a as a mask in the case of the impurity impregnation performed at degree process.

[0025] Then, source field 22b and drain field 22c are formed by carrying out the ion implantation of Lynn (P) which is n mold impurity to the semi-conductor layer 22 on condition that $5E16cm^{-2}$, using this gate electrode 24a as a mask. Then, Lynn introduced by the above-mentioned ion implantation is activated by annealing, such as laser annealing and heat annealing. In addition, in manufacturing p mold channel TFT, it carries out the ion implantation of the p mold impurities, such as boron (B).

[0026] Next, as shown in drawing 1, patterning of the gate electrode 24a is carried out so that it may become smaller than the area of the upper limit section of the semi-conductor layer 22, and so that it may become shorter than channel width L2, and the gate electrode 24 which dissociated from the gate line 14 and was located only on the semi-conductor layer 22 is formed.

[0027] Then, an interlayer insulation film 26 is formed in the whole surface, and the contact holes 42 and 44 which followed

the contact holes 34 and 36 which followed this interlayer insulation film 26 at source field 22b and drain field 22c, respectively, the gate electrode 24, and the gate line 14, respectively are formed.

[0028] And after forming metal membranes, such as aluminum, on an interlayer insulation film 26, a signal line 12, the source electrode 28, the drain electrode 30, and the connection electrode 40 are formed by carrying out patterning of this metal membrane, respectively. Then, TFT18 is completed by forming passivation 32.

[0029] this invention person produced TFT18 concerning the gestalt of this operation constituted as mentioned above, and the n channel TFT (channel width = 9 micron, channel length = 4.5 microns) of a conventional type, and investigated relation with gate pressure-proofing and threshold voltage of a TFT property. The result is shown in the following table 1.

[0030]

[Table 1]

ゲート電極構造	TFT 閾値電圧 (V _{th})	ゲート耐圧
チャンネル幅より小さい (本発明構造)	2 ボルト	80 ボルト
チャンネル幅を覆う (従来構造)	2.5 ボルト	65 ボルト

[0031] As shown in the above-mentioned table 1, improvement in gate

pressure-proofing was able to be aimed at as compared with the conventional TFT, and the fall of threshold voltage was able to be controlled, and it was able to be made the original value because a gate electrode considers as structure shorter than channel width smaller [the area of the gate electrode formed through gate dielectric film on a semi-conductor layer] than the area of a semi-conductor layer.

[0032] According to TFT concerning the gestalt of this operation constituted as mentioned above, the gate electrode formed through gate dielectric film on the semi-conductor layer The border line is contained inside the border line of the top face of the above-mentioned channel field, and method formation of **** is carried out. That is, the area is formed smaller than the area of a channel field. Since it is prepared in the location which does not lap with a channel field periphery corner, the fall of the gate ***** pressure-proofing by the electric-field concentration which takes place in the semi-conductor layer upper limit section, and the fall of threshold voltage can be controlled in the case of a gate voltage sweep. Thereby, ***** run JISUTA excellent in electrical characteristics and dependability can be offered.

[0033]

[Effect of the Invention] According to this invention, as explained in full detail above, in the thin film transistor of the coplanar mold which uses polycrystalline

silicon as a semi-conductor layer, that border line is contained inside the border line of the top face of the above-mentioned channel field, method formation of **** is carried out and the gate electrode formed through gate dielectric film on the semi-conductor layer can control generating of electric-field concentration in the semi-conductor layer upper limit section in the case of actuation. The thin film transistor which prevents gate-dielectric-film destruction and the fall of threshold voltage, and is excellent in gate ***** destructive resistance and by which threshold voltage was often controlled by this can be offered.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The top view of the thin film transistor concerning the gestalt of implementation of this invention.

[Drawing 2] The sectional view in alignment with line A-A of drawing 1.

[Drawing 3] The sectional view in alignment with line B-B of drawing 1.

[Drawing 4] The top view of the above-mentioned thin film transistor in a production process.

[Description of Notations]

10 -- Glass substrate

12 -- Signal line

14 -- Gate line

16 -- Pixel electrode

- 18 -- TFT
- 22 -- Semi-conductor layer
- 22a -- Channel field
- 22b -- Source field
- 22c -- Drain field
- 23 -- Gate dielectric film
- 24 -- Gate electrode
- 26 -- Interlayer insulation film
- 28 -- Source electrode
- 30 -- Drain electrode
- 40 -- Connection electrode

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97699

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.⁶

H 0 1 L 29/786

G 0 2 F 1/136

識別記号

5 0 0

F I

H 0 1 L 29/78

G 0 2 F 1/136

6 1 7 J

5 0 0

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21) 出願番号

特願平9-258822

(22) 出願日

平成9年(1997) 9月24日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大関 茂樹

埼玉県深谷市幡羅町1丁目9番2号 株式

会社東芝深谷電子工場内

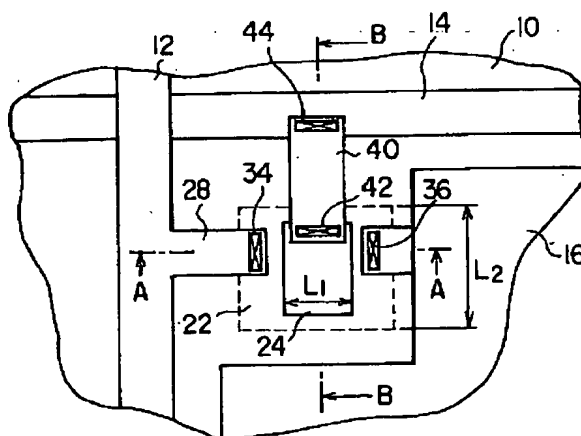
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 薄膜トランジスタ

(57) 【要約】

【課題】 閾値電圧の低下を抑制された、電気的特性および信頼性に優れた薄膜トランジスタを提供することにある。

【解決手段】 ゲート絶縁膜を介して半導体層22のチャネル領域上に設けられたゲート電極24は、チャネル領域よりも小さな面積を有しているとともに、チャネル領域の輪郭線の内側に位置するように設けられている。このゲート電極は、接続電極40を介してゲート線14に接続されている。



【特許請求の範囲】

【請求項1】絶縁基板上に設けられているとともに、チャンネル領域と、チャンネル領域の両側にそれぞれ位置したソース領域およびドレイン領域とを有する半導体層と、上記半導体層上に形成されたゲート絶縁膜と、上記チャンネル領域に対向してゲート絶縁膜上に形成されたゲート電極と、を備え、
上記ゲート電極は、その輪郭線が上記チャンネル領域の上面の輪郭線の内側に含まれるよう形成され、
上記ゲート電極は、層間絶縁膜を介してゲート電極上に形成された接続電極によりゲート線に接続されていることを特徴とする薄膜トランジスタ。

【請求項2】上記ゲート電極は、上記チャンネル領域のチャンネル長とほぼ等しい長さ、と、上記チャンネル領域のチャンネル幅よりも短い幅と、を有していることを特徴とする請求項1に記載の薄膜トランジスタ。

【請求項3】上記層間絶縁層上に形成されているとともに上記ソース領域およびドレイン領域にそれぞれ接続されたソース電極およびドレイン電極と、を備え、
上記接続電極は、上記ソース電極およびドレイン電極と同一の電極形成層によって形成されていることを特徴とする請求項1又は2に記載の薄膜トランジスタ。

【請求項4】上記ゲート電極は、上記ゲート線と同一の形成層によって形成されていることを特徴とする請求項1ないし3のいずれ1項に記載の薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、薄膜トランジスタ、特に、多結晶シリコンを半導体層とするコプラナー型の薄膜トランジスタに関する。

【0002】

【従来の技術】MOS型電界効果トランジスタ(MOSFET)は、アクティブマトリクス型液晶表示装置の画素スイッチング素子として機能する薄膜トランジスタ

(以下TFTと称する)や半導体集積回路等に用いられている。TFTの場合、半導体層に多結晶シリコンや非晶質シリコンを用いることが多い。中でも半導体層に多結晶シリコンを用いたTFTでは、ほとんどの場合、多結晶シリコンの製法の必然性により、コプラナ構造、つまり、ゲート上置き構造を採用している。

【0003】ゲート上置き構造のTFTは、アンダーコートを成膜したガラス基板上に多結晶シリコン層を形成し、この多結晶シリコン層を島状にエッチングして素子分離し、更に、多結晶シリコン層上に、ゲート絶縁膜、ゲート電極を積層した構造を有している。

【0004】

【発明が解決しようとする課題】このようなゲート上置き構造のTFTにおいて、通常、多結晶シリコン層は台形状となり、その多結晶シリコン層上端面の角部はゲート絶縁膜と接触した状態となっている。また、ゲート電

極も同様に、ゲート絶縁膜を介して台形上の多結晶シリコン層上端面の角部を覆うように形成されているため、nチャンネル型のTFT素子を動作させるためゲート電極に電圧を負側から掃引していく際(pチャンネル型TFTであれば正側から掃引)、多結晶シリコン層のチャンネル領域角部とゲート電極との間に局部的に電界が集中し、ゲート絶縁膜破壊を引き起こす。

【0005】更に、ソース・ドレイン領域間を流れる電流が、多結晶シリコン層上端部から流れ始まってしまい、閾値電圧(V_{th})の低下を引き起こすことになる。これらは、TFTの性能劣化および信頼性低下の大きな要因となっている。

【0006】この発明は以上の点に鑑みなされたもので、その目的は、性能および信頼性の向上した薄膜トランジスタを提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため、この発明に係る薄膜トランジスタは、絶縁基板上に設けられているとともに、チャンネル領域と、チャンネル領域の両側にそれぞれ位置したソース領域およびドレイン領域とを有する半導体層と、上記半導体層上に形成されたゲート絶縁膜と、上記チャンネル領域に対向してゲート絶縁膜上に形成されたゲート電極と、上記ゲート絶縁膜およびゲート電極上に形成された層間絶縁層と、を備え、上記ゲート電極は、上記ゲート電極は、その輪郭線が上記チャンネル領域の上面の輪郭線の内側に含まれるよう形成され、上記絶縁膜を介してゲート電極上に設けられた接続電極を通してゲート線に接続されていることを特徴としている。

【0008】このように、ゲート電極を、チャンネル領域の輪郭の内側に配置することにより、TFT駆動時、チャンネル領域端での電界集中の発生を抑制することができる。

【0009】これによって、半導体層上端部での電界集中に起因したゲート絶縁膜破壊および閾値電圧の低下を防ぐことができ、ゲート絶縁膜破壊耐性に優れ、かつ閾値電圧がよく制御されたTFTを得ることが可能となる。

【0010】

【発明の実施の形態】以下、図面を参照しながら、この発明に係る薄膜トランジスタを液晶表示装置のスイッチング素子に用いた実施の形態について詳細に説明する。

【0011】図1は、液晶表示装置を構成するアレイ基板の一部を示したもので、このアレイ基板は、絶縁基板としてのガラス基板10上にマトリクス状に形成された信号線12およびゲート線14を備え、信号線およびゲート線で囲まれた領域には画素電極16が設けられている。また、信号線12とゲート線14との交差部近傍には、スイッチング素子として機能するTFT18が設けられ、画素電極16はTFT18を介して信号線12お

よびゲート線14に接続されている。

【0012】図1および図2に示すように、TFT18は、不純物の拡散を防止するためのアンダーコート層20を介してガラス基板10表面上に設けられた半導体層22を備えている。半導体層22は、多結晶シリコンにより、ほぼ矩形状に形成されている。この半導体層22は、チャネル領域22a、並びにチャネル領域の両側にそれぞれ位置したソース領域22bおよびドレイン領域22cを有している。

【0013】半導体層22およびガラス基板10の表面上にはゲート絶縁膜23が形成され、更に、ゲート絶縁膜23上には、半導体層22のチャネル領域22aと対向してゲート電極24が形成されている。また、このゲート電極24に重ねて層間絶縁膜26が形成されている。

【0014】層間絶縁膜26上には、ソース領域22b、およびドレイン領域22cにそれぞれ対向してソース電極28およびドレイン電極30が形成されている。そして、ソース電極28およびドレイン電極30は、コンタクトホール34、36を介してソース領域22bおよびドレイン領域22cにそれぞれ接続されている。また、ドレイン電極30は、層間絶縁膜26上に形成されたITOからなる画素電極16に接続されているとともに、ソース電極22およびドレイン電極24を覆ってパシベーション32が形成されている。なお、図1においては、図面の複雑化を避けるため、層間絶縁膜26およびパシベーション32を省略して示している。

【0015】図1および図3に示すように、ゲート電極24は矩形状に形成され、その面積は、半導体層22のチャネル領域22aの面積よりも小さく形成されている。また、ゲート電極24は、半導体層22のチャネル長L1とはほぼ等しい長さを有しているとともに、チャネル幅L2よりも短い幅に形成されている。そして、ゲート電極24は、その輪郭線がチャネル領域22aの輪郭線の内側に含まれるように形成され、チャネル用域22aの上端面角部と重ならない位置で半導体層22と対向配置されている。

【0016】そして、ゲート電極24は、層間絶縁膜26上に形成された接続電極40を介してゲート線14に接続されている。つまり、接続電極40の一端はコンタクトホール42を介してゲート電極24に接続され、他端は、コンタクトホール44を介してゲート線14に接続されている。

【0017】上記構成を有するTFT18は、以下の工程により製造される。まず、ガラス基板10上に、基板からの不純物拡散を防ぐためにアンダーコート層20を形成する。アンダーコート層20は、化学気相反応法やスパッタリング法により形成されたSiO₂を用いる。アンダーコート層20には、この他にもSi₃N₄やSi₃N₄と、SiO₂との2層構造を有する薄膜を用い

てもよい。

【0018】続いて、アンダーコート層20上に、半導体層22としての多結晶シリコン（ポリシリコン）を形成する。このポリシリコン膜は、例えば、プラズマCVD法、LPCVD法、スパッタリング法などの成膜方法によりアモルファスシリコン膜を形成した後、このアモルファスシリコン膜にレーザーアニールを施し、多結晶化をすることにより形成する。

【0019】また、他の形成方法としては、例えば、アモルファスシリコン（種）から固相成長により形成する方法や、SiH₄・SiF₄・H₂などを原料ガスとしたプラズマCVD法により、直接ポリシリコン膜を形成する方法を用いてもよい。なお、半導体層22としては、ポリシリコン膜の他に、アモルファスシリコン膜を用いてもよい。アモルファスシリコン膜は、例えば、プラズマCVD法、LPCVD法、スパッタリング法などの成膜方法により形成する。

【0020】次に、形成されたポリシリコン膜をエッチングして島状にする。エッチングは例えば、CF₄・O₂ガスを用いたケミカルドライエッチング（CDE）で行う。エッチング条件は、をO₂/CF₄流量比：4、エッチング圧力＝40（Pa）、マイクロ波電源パワー：800（W）、基板温度：60（℃）とする。このようなエッチングにより、ガラス基板10表面と、半導体層22のチャネル幅方向の側面とのなす角度は約30度となり、台形状のポリシリコン膜が形成される。

【0021】続いて、ゲート絶縁膜23としてのSiO₂膜を、テトラエチルオルソシリケート（TEOS）・O₂を原料ガスとするプラズマCVD法により形成する。ゲート絶縁膜23の形成方法としては、その他、常圧CVD法、LPCVD法、ECRプラズマCVD法、リモートプラズマCVD法等の他のCVD法や、スパッタリング法などを用いてもよい。原料ガスとしてもTEOS-O₂ガス以外に、SiH₄・O₂を用いてもよい。

【0022】ゲート絶縁膜23を形成した後には、ゲート絶縁膜の膜質をさらに向上させることを目的として、例えば、窒素雰囲気中で、600℃、5時間の条件でアニールしてもよい。

【0023】続いて、ゲート絶縁膜22上に、ゲート電極24およびゲート線14を形成するための電極形成層を成膜する。電極形成層としては、モリブデンタングステン合金（Mo-W）やアルミニウム（Al）など低抵抗金属や、不純物が導入された多結晶シリコンなどを用いる。

【0024】次に、図4に示すように、上記電極形成層をパターニングしてゲート線14およびゲート電極24aを形成する。この時、ゲート電極24aは、チャネル長さL1方向の長さはチャネル長L1の設計値通りに、また、チャネル幅L2方向の幅は半導体層22の周縁角

部を覆うように形成する。これは次工程で行なう不純物注入の際、ゲート電極24aをマスクとして使用することにより、半導体層22のチャネル幅方向端部に不純物が注入されないようにするためである。

【0025】続いて、このゲート電極24aをマスクとして用い、半導体層22にn型不純物であるリン(P)を、例えば、5E16cm⁻²の条件でイオン注入することにより、ソース領域22bおよびドレイン領域22cを形成する。その後、レーザーアニールや熱アニール等のアニールにより、上記イオン注入により導入されたリンを活性化する。なお、p型チャンネルTFTを製造する場合には、ボロン(B)等のp型不純物をイオン注入する。

【0026】次に、図1に示すように、ゲート電極24aを半導体層22の上端部の面積より小さくするように、かつ、チャネル幅L2よりも短くなるようにパターニングし、ゲート線14から分離し半導体層22上にのみに位置したゲート電極24を形成する。

* 【表1】

ゲート電極構造	TFT 閾値電圧 (V _{th})	ゲート耐圧
チャネル幅より小さい (本発明構造)	2 ボルト	80 ボルト
チャネル幅を覆う (従来構造)	2.5 ボルト	65 ボルト

【0031】上記表1から分かるように、半導体層上にゲート絶縁膜を介して形成するゲート電極の面積が半導体層の面積よりも小さく、かつ、ゲート電極がチャネル幅よりも短い構造とすることで、従来のTFTに比較してゲート耐圧の向上を図り、かつ、閾値電圧の低下を抑制し、本来の値にすることが出来た。

【0032】以上のように構成された本実施の形態に係るTFTによれば、半導体層上にゲート絶縁膜を介して形成されたゲート電極は、その輪郭線が上記チャネル領域の上面の輪郭線の内側に含まれるよう形成され、つまり、その面積がチャネル領域の面積よりも小さく形成され、かつ、チャネル領域周縁角部と重ならない位置に設けられていることから、ゲート電圧掃引の際、半導体層上端部で起こる電界集中によるゲート絶縁膜耐圧の低下、および閾値電圧の低下を抑制することができる。これにより、電気的特性および信頼性に優れた薄膜トランジスタを提供することができる。

【0033】

【発明の効果】以上詳述したように、この発明によれば、多結晶シリコンを半導体層とするコプラナー型の薄膜トランジスタにおいて、半導体層上にゲート絶縁膜を介して形成されたゲート電極は、その輪郭線が上記チャネル領域の上面の輪郭線の内側に含まれるよう形成さ

* 【0027】その後、層間絶縁膜26を全面に形成し、この層間絶縁膜26に、ソース領域22b、ドレイン領域22cにそれぞれ連続したコンタクトホール34、36、およびゲート電極24およびゲート線14にそれぞれ連続したコンタクトホール42、44を形成する。

【0028】そして、層間絶縁膜26上にA1等の金属膜を形成した後、この金属膜をパターニングすることにより、信号線12、ソース電極28、ドレイン電極30、および接続電極40をそれぞれ形成する。その後、パシベーション32を形成することにより、TFT18が完成する。

【0029】本発明者は、上記のように構成された本実施の形態に係るTFT18と、従来型のnチャンネルTFT(チャネル幅=9ミクロン、チャネル長=4.5ミクロン)とを作製し、TFT特性のゲート耐圧および閾値電圧との関係を調べた。その結果を以下の表1に示す。

【0030】

【表1】

れ、動作の際に半導体層上端部での電界集中の発生を抑制することができる。これによって、ゲート絶縁膜破壊および閾値電圧の低下を防止し、ゲート絶縁膜破壊耐性に優れ、かつ閾値電圧がよく制御された薄膜トランジスタを提供することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態に係る薄膜トランジスタの平面図。

【図2】図1の線A-Aに沿った断面図。

【図3】図1の線B-Bに沿った断面図。

【図4】製造工程中における上記薄膜トランジスタの平面図。

【符号の説明】

10…ガラス基板

12…信号線

14…ゲート線

16…画素電極

18…TFT

22…半導体層

22a…チャネル領域

22b…ソース領域

22c…ドレイン領域

23…ゲート絶縁膜

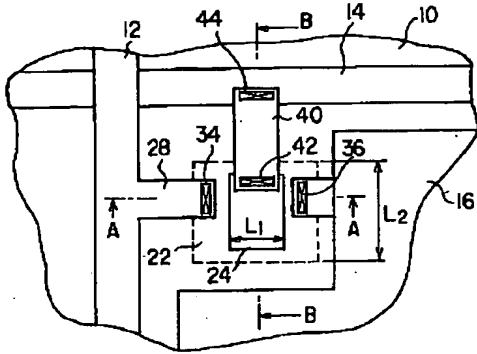
(5)

特開平 11-97699

7

24...ゲート電極
26...層間絶縁膜
28...ソース電極

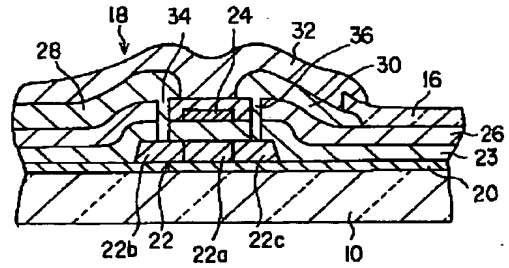
【図1】



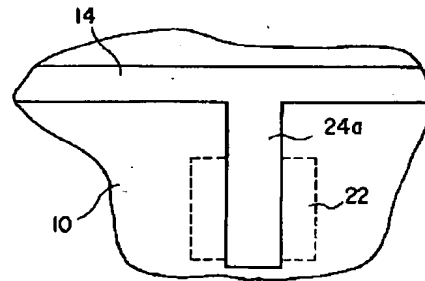
8

30...ドレイン電極
40...接続電極

【図2】



【図4】



【図3】

